

(19) 日本国特許庁 (J P)

(12) 特 許 公 報 (B 2)

(11) 特許番号

特許第3224125号
(P3224125)

(45) 発行日 平成13年10月29日 (2001. 10. 29)

(24) 登録日 平成13年 8 月24日 (2001. 8. 24)

(51) Int.Cl.⁷

識別記号

F I

H 0 1 L 27/04
21/822

H 0 1 L 27/04

H

請求項の数 2 (全 9 頁)

(21) 出願番号 特願平7-298737

(22) 出願日 平成7年11月16日 (1995. 11. 16)

(65) 公開番号 特開平9-139466

(43) 公開日 平成9年5月27日 (1997. 5. 27)

審査請求日 平成11年10月20日 (1999. 10. 20)

(73) 特許権者 000004226

日本電信電話株式会社

東京都千代田区大手町二丁目3番1号

(72) 発明者 水澤 武

東京都新宿区西新宿3丁目19番2号 日

本電信電話株式会社内

(72) 発明者 大友 祐輔

東京都新宿区西新宿3丁目19番2号 日

本電信電話株式会社内

(74) 代理人 100064458

弁理士 田中 正治

審査官 河合 章

(56) 参考文献 特開 昭63-36557 (J P, A)

特開 平7-22617 (J P, A)

特開 平3-270067 (J P, A)

最終頁に続く

(54) 【発明の名称】 半導体集積回路装置

1

(57) 【特許請求の範囲】

【請求項1】 信号入力端と信号出力端とを外部に導出し且つ内部に複数 n 個の第1、第2……第 n の半導体回路 A_1 、 A_2 …… A_n を有する半導体集積回路を有し、

上記半導体回路 A_i (ただし、 $i = 1, 2, \dots, n$)

が、電源 E_i の正極性端及び負極性端にまたは負極性端及び正極性端にそれぞれ接続される対の電源端 V_{1i} 及び V_{2i} を有し、

上記半導体集積回路の信号入力端と電源端 V_{11} 及び V_{21} のそれぞれとの間；及び上記半導体集積回路の信号出力端と電源端 V_{1n} 及び V_{2n} のそれぞれとの間に、第1及び第2の入力側サージ保護回路；及び第1及び第2の出力側サージ保護回路がそれぞれ接続されている半導体集積回路装置において、

2

上記電源端 V_{11} と上記電源端 V_{22} 、 V_{23} …… V_{2n} のそれぞれとの間；上記電源端 V_{12} と上記電源端 V_{21} 、 V_{23} …… V_{2n} のそれぞれとの間；……；上記電源端 V_{1n} と上記電源端 V_{21} 、 V_{22} …… $V_{2(n-1)}$ のそれぞれとの間に、サージ保護素子 P_{12} 、 P_{13} …… P_{1n} ； P_{21} 、 P_{23} …… P_{2n} ；……； P_{n1} 、 P_{n2} …… $P_{(n-1)n}$ がそれぞれ接続されていることを特徴とする半導体集積回路装置。

【請求項2】 請求項1記載の半導体集積回路装置において、

上記電源端 V_{11} と上記電源端 V_{21} との間；上記電源端 V_{12} と上記電源端 V_{22} との間；……；上記電源端 V_{1n} と上記電源端 V_{2n} との間に、サージ保護素子 P_{11} ； P_{22} ；……； P_{nn} がそれぞれ接続されていることを特徴とする半導体集積回路装置。

3

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は、信号入力端と信号出力端とを外部に導出し且つ内部に複数 n 個の第1、第2……第 n の半導体回路 A_1 、 A_2 …… A_n を有する半導体集積回路を有し、その半導体回路 A_i （ただし、 $i = 1, 2, \dots, n$ ）が、電源 E_i の正極性端及び負極性端にまたは負極性端及び正極性端にそれぞれ接続される対の電源端 V_{1i} 及び V_{2i} を有し、また、半導体集積回路の信号入力端と電源端 V_{1i} 及び V_{2i} のそれぞれとの間；及び半導体集積回路の信号出力端と電源端 V_{1n} 及び V_{2n} のそれぞれとの間に、第1及び第2の入力側サージ保護回路；及び第1及び第2の出力側サージ保護回路がそれぞれ接続されている半導体集積回路装置に関する。

【0002】

【従来の技術】 従来、図3を伴って次に述べる半導体集積回路装置が提案されている。

【0003】 すなわち、信号入力端 T_1 と信号出力端 T_2 とを外部に導出し且つ内部に信号入力線 f 及び信号出力線 h を外部に導出している複数 n 個の第1、第2……第 n の半導体回路 A_1 、 A_2 …… A_n を有する半導体集積回路 B を有する。

【0004】 この場合、半導体集積回路 B は、半導体回路 $A_1 \sim A_n$ の全てがそれらの信号入力線 f 及び信号出力線 h を用いて縦続接続されていたり並列接続されていたりしている構成を有していたり、半導体回路 $A_1 \sim A_n$ 中の一部が信号入力線 f 及び信号出力線 h を用いて縦続接続されていたり並列接続されていたりし、他部がその縦続接続回路または並列接続回路と縦続接続される態様でまたは並列接続される態様で信号入力線 f 及び信号出力線 h を用いて縦続接続されていたり並列接続されていたりしている構成を有していたりする種々の構成を有するが、半導体回路 A_i （ただし、 $i = 1, 2, \dots, n$ ）は、電源 E_i （図示せず）に接続される対の電源端 V_{1i} 及び V_{2i} （電源 E_i の正極性端及び負極性端または負極性端及び正極性端にそれぞれ接続される）を有し、従って、電源端 V_{11} 及び V_{21} 間、 V_{12} 及び V_{22} 間、…… V_{1n} 及び V_{2n} 間に、電源 E_1 、 E_2 …… E_n をそれぞれ供給すれば、全ての半導体回路 A_1 、 A_2 …… A_n が動作し得る状態になり、よって、半導体集積回路 B が動作し得る状態になり、また、その状態で、半導体集積回路 B の信号入力端 T_1 とそれに対をなす端（図示せず）との間に入力信号を供給すれば、半導体集積回路 B がこれに応動し、その応動による出力信号が、信号出力端 T_2 とそれと対をなす端（図示せず）との間に出力されるように構成されている。

【0005】 また、半導体集積回路 B の信号入力端 T_1 と電源端 V_{11} 及び V_{21} のそれぞれとの間；及び半導体集積回路 B の信号出力端 T_2 と電源端 V_{1n} 及び V_{2n} のそれ

4

ぞれとの間に、第1及び第2の接続端 a 及び b を有する第1及び第2の入力側サージ保護回路 F_{11} 及び F_{21} ；及び第1及び第2の接続端 a 及び b を有する第1及び第2の出力側サージ保護回路 F_{12} 及び F_{22} がそれぞれ接続されている。

【0006】 この場合、第1の入力側サージ保護回路 F_{11} が信号入力端 T_1 及び電源端 V_{11} 間に第1の接続端 a を信号入力端 T_1 側として接続され、第2の入力側サージ保護回路 F_{21} が信号入力端 T_1 及び電源端 V_{21} 間に第2の接続端 b を信号入力端 T_1 側として接続され、第1の出力側サージ保護回路 F_{12} が信号出力端 T_2 及び電源端 V_{1n} 間に第1の接続端 a を信号出力端 T_2 側として接続され、第2の出力側サージ保護回路 F_{22} が信号出力端 T_2 及び電源端 V_{2n} 間に第2の接続端 b を信号出力端 T_2 側として接続されている。

【0007】 また、第1及び第2の入力側サージ保護回路 F_{11} 及び F_{21} 、及び第1及び第2の出力側サージ保護回路 F_{12} 及び F_{22} は、図示のように、正極端及び負極端を第1及び第2の接続端 a 及び b にそれぞれ接続しているダイオード D からなるものとする。また、ソース（またはドレイン）とゲートとを互いに接続して一端とし、その端を第1の接続端 a （または第2の接続端 b ）に接続し、ドレイン（またはソース）を他端とし、その端を第2の接続端 b （または第1の接続端 a ）に接続している、ダイオード機能を呈するMOS型電界効果トランジスタからなるものとする。また、さらに、ゲートとコレクタ（またはエミッタ）とを互いに接続して一端とし、その端を第1の接続端 a （または第2の接続端 b ）に接続し、エミッタ（またはコレクタ）を他端とし、その端を第2の接続端 b （または第1の接続端 a ）に接続している、ダイオード機能を呈するバイポーラ型トランジスタからなるものとする。ただし、以下、簡単のため、第1及び第2の入力側サージ保護回路 F_{11} 及び F_{21} 、及び第1及び第2の出力側サージ保護回路 F_{12} 及び F_{22} が、正極端及び負極端を第1及び第2の接続端 a 及び b にそれぞれ接続しているダイオード D からなるものとする。

【0008】 以上が、従来提案されている半導体集積回路装置の構成である。

【0009】 このような構成を有する従来の半導体集積回路装置によれば、電源端 V_{11} 及び V_{21} 間、 V_{12} 及び V_{22} 間、…… V_{1n} 及び V_{2n} 間に、電源 E_1 、 E_2 …… E_n をそれぞれ供給し、その状態で、半導体集積回路 B の信号入力端 T_1 とそれに対をなす端（図示せず）との間に入力信号を供給すれば、半導体集積回路 B がこれに応動し、その応動による出力信号が、信号出力端 T_2 とそれと対をなす端（図示せず）との間に出力される、という半導体集積回路装置としての機能が得られる。

【0010】 また、（a）半導体集積回路 B の信号入力端 T_1 と電源端 V_{11} との間に、サージが、信号入力端 T

5

1側を正極性として印加された場合、そのサージが、第1の入力側サージ保護回路F11を構成しているダイオードDの逆方向電圧にクランプされるので、半導体集積回路Bが、この場合のサージから保護され、また、

(b) 半導体集積回路Bの信号入力端T1と電源端V11との間に、サージが、信号入力端T1側を負極性として印加された場合、そのサージが、第1の入力側サージ保護回路F11を構成しているダイオードDの順方向電圧にクランプされるので、半導体集積回路Bが、この場合のサージから保護され、さらに、(c) 半導体集積回路Bの信号入力端T1と電源端V21との間に、サージが、信号入力端T1側を正極性として印加された場合、そのサージが、第2の入力側サージ保護回路F21を構成しているダイオードDの順方向電圧にクランプされるので、半導体集積回路Bが、この場合のサージから保護され、また、(d) 半導体集積回路Bの信号入力端T1と電源端V21との間に、サージが、信号入力端T1側を負極性として印加された場合、そのサージが、第2の入力側サージ保護回路F21を構成しているダイオードDの逆方向電圧にクランプされるので、半導体集積回路B

が、この場合のサージから保護される。
【0011】さらに、(a) 半導体集積回路Bの信号出力端T2と電源端V1nとの間に、サージが、信号出力端T2側を正極性として印加された場合、そのサージが、第1の出力側サージ保護回路F12を構成しているダイオードDの逆方向電圧にクランプされるので、半導体集積回路Bが、この場合のサージから保護され、また、

(b) 半導体集積回路Bの信号出力端T2と電源端V1nとの間に、サージが、信号出力端T2側を負極性として印加された場合、そのサージが、第1の出力側サージ保護回路F12を構成しているダイオードDの順方向電圧にクランプされるので、半導体集積回路Bが、この場合のサージから保護され、さらに、(c) 半導体集積回路Bの信号出力端T2と電源端V2nとの間に、サージが、信号出力端T2側を正極性として印加された場合、そのサージが、第2の出力側サージ保護回路F22を構成しているダイオードDの順方向電圧にクランプされるので、半導体集積回路Bが、この場合のサージから保護され、また、(d) 半導体集積回路Bの信号出力端T2と電源端V2nとの間に、サージが、信号出力端T2側を負極性として印加された場合、そのサージが、第2の出力側サージ保護回路F22を構成しているダイオードDの逆方向電圧にクランプされるので、半導体集積回路Bが、この場合のサージから保護される。

【0012】以上のことから、図3に示す従来の半導体集積回路装置の場合、半導体集積回路Bの信号入力端T1と電源端V11及びV21のそれぞれとの間に、サージが、各別にまたは同時に印加されても、また、信号出力端T2と電源端V1n及びV2nのそれぞれとの間に、サージが、各別にまたは同時に印加されても、半導体集積回

6

路Bが、この場合のサージから保護される。

【0013】

【発明が解決しようとする課題】 図3に示す従来の半導体集積回路装置の場合、サージが、半導体集積回路Bの信号入力端T1と電源端V11～V1n中の電源端V11を除く電源端V1a(ただし、 $a=2, 3, \dots, n$)との間に印加されたり、信号入力端T1と電源端V21～V2n中の電源端V21を除く電源端V2aとの間に印加されたりした場合、そのサージが、半導体回路Aaを構成している半導体素子に印加されて、その半導体素子がこの場合のサージによって破壊されたりすることによって、半導体回路Aaが、この場合のサージによって破壊されたり、また、サージが、半導体集積回路Bの信号出力端T2と電源端V11～V1n中の電源端V1nを除く電源端V1b(ただし、 $b=1, 2, \dots, (n-1)$)との間に印加されたり、信号出力端T2と電源端V21～V2n中の電源端V2nを除く電源端V2bとの間に印加されたりした場合、そのサージが、半導体回路Abを構成している半導体素子に印加されて、その半導体素子がこの場合のサージによって破壊されたりすることによって、半導体回路Abが、この場合のサージによって破壊されたりし、よって、半導体集積回路Bが、この場合のサージによって破壊される、というおそれを有する。

【0014】すなわち、例示して述べれば、半導体集積回路Bが、例えばその半導体回路A1について、図示のように、例えば、pチャンネル型(またはnチャンネル型)のMOS電界効果トランジスタQ11とnチャンネル型(またはpチャンネル型)のMOS電界効果トランジスタQ21とが両MOS電界効果トランジスタQ11及びQ21のドレインを互いに接続している態様で直列に接続され、そしてその直列回路の両端(MOS電界効果トランジスタQ11のソース及び電界効果トランジスタQ21のソース)が、電源端V11及びV21にそれぞれ接続され、また、両MOS電界効果トランジスタQ11及びQ21のドレインの接続中点が、信号出力線hに導出されている構成を有し、また、例えば半導体回路A2について、図示のように、例えば、pチャンネル型(またはnチャンネル型)のMOS電界効果トランジスタQ12とnチャンネル型(またはpチャンネル型)のMOS電界効果トランジスタQ22とが両MOS電界効果トランジスタQ12及びQ22のドレインを互いに接続している態様で直列に接続され、そしてその直列回路の両端(MOS電界効果トランジスタQ12のソース及び電界効果トランジスタQ22のソース)が、電源端V21及びV22にそれぞれ接続され、また、両MOS電界効果トランジスタQ12及びQ22のドレインの接続中点が、信号入力線fに導出されている構成を有し、そして、半導体回路A1の信号出力線hが半導体回路A2の信号入力線fに接続されているという構成を有するものとする。

【0015】しかるときは、電源端V11及びV12間に

50

7

は、半導体回路A₁のMOS電界効果トランジスタQ₁₁及びQ₂₁と半導体回路A₂のMOS電界効果トランジスタQ₂₁及びQ₂₂とがそれらに共通の半導体基板を用いて構成され、そして、(a)それらが絶縁体で互いに分離されている場合でみられるように、電流路が、実質的に形成されていないか、(b)それらが拡散層で互いに分離されている場合でみられるように、電流路が形成されているとしてもその電流路が高い抵抗値を有する寄生抵抗または寄生ダイオードを介して形成されているだけであるので、半導体集積回路Bの信号入力端T₁と電源端V₁₂との間にサージが印加された場合、この場合のサージが、第1の入力側サージ保護回路F₁₁を通し、次で半導体回路A₁のMOS電界効果トランジスタQ₁₁のソース及びドレインを通じ、次で半導体回路A₁の信号出力線h及び半導体回路A₂の信号入力線fを通じて、半導体回路A₂のMOS電界効果トランジスタQ₁₂のゲート及びソース間に印加され、または第2の入力側サージ保護回路F₂₁を通じ、次で半導体回路A₁のMOS電界効果トランジスタQ₂₁のソース及びドレインを通じ、次で半導体回路A₁の信号出力線h及び半導体回路A₂の信号入力線fを通じて、半導体回路A₂のMOS電界効果トランジスタQ₁₂のゲート及びソース間に印加され、よって、半導体回路A₂のMOS電界効果トランジスタQ₁₂が、この場合のサージによって破壊される。また、半導体集積回路Bの信号入力端T₁と電源端V₂₂との間にサージが印加された場合、この場合のサージが、第1の入力側サージ保護回路F₁₁を通じ、次で半導体回路A₁のMOS電界効果トランジスタQ₁₁のソース及びドレインを通じ、次で半導体回路A₁の信号出力線h及び半導体回路A₂の信号入力線fを通じて、半導体回路A₂のMOS電界効果トランジスタQ₂₂のゲート及びソース間に印加され、または第2の入力側サージ保護回路F₂₁を通じ、次で半導体回路A₁のMOS電界効果トランジスタQ₂₁のソース及びドレインを通じ、次で半導体回路A₁の信号出力線h及び半導体回路A₂の信号入力線fを通じて、半導体回路A₂のMOS電界効果トランジスタQ₂₂のゲート及びソース間に印加され、よって、半導体回路A₂のMOS電界効果トランジスタQ₂₂が、この場合のサージによって破壊される。

【0016】以上例示したところから明らかなように、図3に示す従来の半導体集積回路装置の場合、半導体集積回路Bの信号入力端T₁と電源端V_{1a}及びV_{2a}のそれぞれとの間にサージが各別にまたは同時に印加された場合、及び半導体集積回路Bの信号出力端T₂と電源端V_{1b}及びV_{2b}のそれぞれとの間にサージが各別にまたは同時に印加された場合、半導体集積回路Bが、この場合のサージから保護されないおそれを有する、という欠点を有していた。

【0017】よって、本発明は、上述した欠点のない、新規な半導体集積回路装置を提案せんとするものであ

8

る。

【0018】

【課題を解決するための手段】本願第1番目の発明による半導体集積回路装置は、図3で上述した従来の半導体集積回路装置の場合と同様に、①信号入力端と信号出力端とを外部に導出し且つ内部に複数n個の第1、第2……第nの半導体回路A₁、A₂……A_nを有する半導体集積回路を有し、そして、②上記半導体回路A_i（ただし、i=1、2……n）が、電源E_iの正極性端及び負極性端にまたは負極性端及び正極性端にそれぞれ接続される対の電源端V_{1i}及びV_{2i}を有し、また、③上記半導体集積回路の信号入力端と電源端V_{1i}及びV_{2i}のそれぞれとの間；及び上記半導体集積回路の信号出力端と電源端V_{1n}及びV_{2n}のそれぞれとの間に、第1及び第2の入力側サージ保護回路；及び第1及び第2の出力側サージ保護回路がそれぞれ接続されている、という構成を有する。

【0019】しかしながら、本願第1番目の発明による半導体集積回路装置は、このような構成を有する半導体集積回路装置において、上記電源端V_{1i}と上記電源端V₂₂、V₂₃……V_{2n}のそれぞれとの間；上記電源端V₁₂と上記電源端V₂₁、V₂₃……V_{2n}のそれぞれとの間；……；上記電源端V_{1n}と上記電源端V₂₁、V₂₂……V_{2(n-1)}のそれぞれとの間に、サージ保護素子P₁₂、P₁₃……P_{1n}；P₂₁、P₂₃……P_{2n}；……；P_{n1}、P_{n2}……P_{(n-1)n}がそれぞれ接続されている。

【0020】また、本願第2番目の発明による半導体集積回路装置は、上述した本願第1番目の発明による半導体集積回路装置において、上記電源端V_{1i}と上記電源端V_{2i}との間；上記電源端V₁₂と上記電源端V₂₂との間；……；上記電源端V_{1n}と上記電源端V_{2n}との間に、サージ保護素子P₁₁；P₂₂；……；P_{nn}がそれぞれ接続されている。

【0021】

【発明の実施の形態1】次に、図1を伴って本発明による半導体集積回路装置の実施の形態の第1の例を述べよう。

【0022】図1において、図3との対応部分には同一符号を付し、詳細説明を省略する。

【0023】図1に示す本発明による半導体集積回路装置の実施の形態の第1の例は、図3で上述した従来の半導体集積回路装置の構成において、電源端V_{1i}と電源端V₂₂、V₂₃……V_{2n}のそれぞれとの間；電源端V₁₂と電源端V₂₁、V₂₃……V_{2n}のそれぞれとの間；……；電源端V_{1n}と電源端V₂₁、V₂₂……V_{2(n-1)}のそれぞれとの間に、サージ保護素子P₁₂、P₁₃……P_{1n}；P₂₁、P₂₃……P_{2n}；……；P_{n1}、P_{n2}……P_{(n-1)n}がそれぞれ接続されている、という事項を除いて、図3で上述した従来の半導体集積回路装置の場合と同様の構成を有する。

9

【0024】この場合、サージ保護素子 P_{12} 、 P_{13} …… P_{1n} ； P_{21} 、 P_{23} …… P_{2n} ；……； P_{n1} 、 P_{n2} …… $P_{(n-1)n}$ は、ともに、図示のようにダイオードであり得、そして、サージ保護素子 P_{12} 、 P_{13} …… P_{1n} ； P_{21} 、 P_{23} …… P_{2n} ；……； P_{n1} 、 P_{n2} …… $P_{(n-1)n}$ が、ともに、ダイオードでなる場合、サージ保護素子 P_{12} 、 P_{13} …… P_{1n} としてのダイオード；サージ保護素子 P_{21} 、 P_{23} …… P_{2n} としてのダイオード；……；サージ保護素子 P_{n1} 、 P_{n2} …… $P_{(n-1)n}$ としてのダイオードが、ともに、正極端を、それぞれ電源端 V_{11} ； V_{12} ；……； V_{1n} としている。

【0025】以上が、本発明による半導体集積回路装置の実施の形態の第1の例である。

【0026】このような本発明による半導体集積回路装置の実施の形態の第1の例によれば、上述した事項を除いて、図3で上述した従来の半導体集積回路装置の場合と同様の構成を有するので、詳細説明は省略するが、図3で上述した従来の半導体集積回路装置の場合と同様に、電源端 V_{11} 及び V_{21} 間、 V_{12} 及び V_{22} 間、…… V_{1n} 及び V_{2n} 間に、電源 E_1 、 E_2 …… E_n をそれぞれ供給し、その状態で、半導体集積回路Bの信号入力端T1とそれに対をなす端（図示せず）との間に入力信号を供給すれば、半導体集積回路Bがこれに応動し、その応動による出力信号が、信号出力端T2とそれと対をなす端（図示せず）との間に出力される、という半導体集積回路装置としての機能が得られる。

【0027】また、図3で上述した従来の半導体集積回路装置の場合と同様に、半導体集積回路Bの信号入力端T1と電源端 V_{11} 及び V_{21} のそれぞれとの間に、サージが、各別にまたは同時に印加されても、また、信号出力端T2と電源端 V_{1n} 及び V_{2n} のそれぞれとの間に、サージが、各別にまたは同時に印加されても、半導体集積回路Bが、この場合のサージから保護される。

【0028】しかしながら、図1に示す本発明による半導体集積回路装置の実施の形態によれば、電源端 V_{11} と電源端 V_{22} 、 V_{23} …… V_{2n} のそれぞれとの間；電源端 V_{12} と電源端 V_{21} 、 V_{23} …… V_{2n} のそれぞれとの間；……；電源端 V_{1n} と電源端 V_{21} 、 V_{22} …… $V_{2(n-1)}$ のそれぞれとの間に、サージ保護素子 P_{12} 、 P_{13} …… P_{1n} ； P_{21} 、 P_{23} …… P_{2n} ；……； P_{n1} 、 P_{n2} …… $P_{(n-1)n}$ がそれぞれ接続されているので、サージが、半導体集積回路Bの信号入力端T1と、電源端 V_{11} ～ V_{1n} 中の電源端 V_{11} を除く電源端 V_{1a} （ただし、 $a=2, 3$ …… n ）との間に印加されたり、信号入力端T1と、電源端 V_{21} ～ V_{2n} 中の電源端 V_{21} を除く電源端 V_{2a} との間に印加されたりした場合であっても、そのサージが、半導体回路 A_a を構成している半導体素子に印加されず、このため、半導体回路 A_a が、この場合のサージによって破壊されるおそれを有さず、また、サージが、半導体集積回路Bの信号出力端T2と電源端 V_{11} ～ V_{1n}

10

中の電源端 V_{1n} を除く電源端 V_{1b} （ただし、 $b=1, 2$ …… $(n-1)$ ）との間に印加されたり、信号出力端T2と電源端 V_{21} ～ V_{2n} 中の電源端 V_{2n} を除く電源端 V_{2b} との間に印加されたりした場合であっても、そのサージが、半導体回路 A_b を構成している半導体素子に印加されず、このため、半導体回路 A_b が、この場合のサージによって破壊されるおそれを有さず、よって、半導体集積回路Bが、この場合のサージによって破壊される、というおそれを有しない。

【0029】すなわち、例示して述べれば、半導体集積回路Bが、図3で上述した従来の半導体集積回路装置について述べたと同様に、例えばその半導体回路 A_1 について、例えば、pチャンネル型（またはnチャンネル型）のMOS電界効果トランジスタ Q_{11} とnチャンネル型（またはpチャンネル型）のMOS電界効果トランジスタ Q_{21} とが両MOS電界効果トランジスタ Q_{11} 及び Q_{21} のドレインを互いに接続している態様で直列に接続され、そしてその直列回路の両端（MOS電界効果トランジスタ Q_{11} のソース及び電界効果トランジスタ Q_{21} のソース）が、電源端 V_{11} 及び V_{21} にそれぞれ接続され、また、両MOS電界効果トランジスタ Q_{11} 及び Q_{21} のドレインの接続中点が、信号出力線hに導出されている構成を有し、また、例えば半導体回路 A_2 について、例えば、pチャンネル型（またはnチャンネル型）のMOS電界効果トランジスタ Q_{12} とnチャンネル型（またはpチャンネル型）のMOS電界効果トランジスタ Q_{22} とが両MOS電界効果トランジスタ Q_{12} 及び Q_{22} のドレインを互いに接続している態様で直列に接続され、そしてその直列回路の両端（MOS電界効果トランジスタ Q_{12} のソース及び電界効果トランジスタ Q_{22} のソース）が、電源端 V_{21} 及び V_{22} にそれぞれ接続され、また、両MOS電界効果トランジスタ Q_{12} 及び Q_{22} のドレインの接続中点が、信号入力線fに導出されている構成を有し、そして、半導体回路 A_1 の信号出力線hが半導体回路 A_2 の信号入力線fに接続されているという構成を有するものとする。

【0030】しかるときは、図3で上述した従来の半導体集積回路装置について述べたと同様に、電源端 V_{11} 及び V_{12} 間には、半導体回路 A_1 のMOS電界効果トランジスタ Q_{11} 及び Q_{21} と半導体回路 A_2 のMOS電界効果トランジスタ Q_{21} 及び Q_{22} とがそれらに共通の半導体基板を用いて構成され、そして、（a）それらが絶縁体で互いに分離されている場合でみられるように、電流路が、実質的に形成されていないか、（b）それらが拡散層で互いに分離されている場合でみられるように、電流路が形成されているとしてもその電流路が高い抵抗値を有する寄生抵抗または寄生ダイオードを介して形成されているだけであるので、半導体集積回路Bの信号入力端T1と電源端 V_{12} との間にサージが印加された場合、この場合のサージが、第1の入力側サージ保護回路F11

11

を通じ、次で半導体回路A₁のMOS電界効果トランジスタQ₁₁のソース及びドレインを通じ、次で半導体回路A₁の信号出力線h及び半導体回路A₂の信号入力線fを通じて、半導体回路A₂のMOS電界効果トランジスタQ₁₂のゲート及びソース間に印加されんとし、または第2の入力側サージ保護回路F 2 1を通じ、次で半導体回路A₁のMOS電界効果トランジスタQ₂₁のソース及びドレインを通じ、次で半導体回路A₁の信号出力線h及び半導体回路A₂の信号入力線fを通じて、半導体回路A₂のMOS電界効果トランジスタQ₁₂のゲート及びソース間に印加されんとし、よって、半導体回路A₂のMOS電界効果トランジスタQ₁₂が、この場合のサージによって破壊されんとしても、この場合のサージが、信号入力端T 1と電源端V₁₂との間で、第2の入力側サージ保護回路F 2 1のダイオードDの順方向電圧とサージ保護素子P₂₁としてのダイオードの逆方向電圧との和の電圧にクランプされ、また、電源端V₂₁と電源端V₁₂との間がサージ保護素子P₂₁としてのダイオードの逆方向電圧にクランプされ、または、信号入力端T 1と電源端V₁₂との間で、第2の入力側サージ保護回路F 2 1のダイオードDの逆方向電圧とサージ保護素子P₂₁としてのダイオードの順方向電圧との和の電圧にクランプされ、また、電源端V₂₁と電源端V₁₂との間がサージ保護素子P₂₁としてのダイオードの順方向電圧にクランプされるので、この場合のサージが、半導体回路A₂のMOS電界効果トランジスタQ₁₂のゲート及びソース間に印加されず、よって、半導体回路A₂のMOS電界効果トランジスタQ₁₂が、この場合のサージによって破壊されず、そのサージから保護される。

【0031】また、半導体集積回路Bの信号入力端T 1と電源端V₂₂との間にサージが印加された場合、この場合のサージが、第1の入力側サージ保護回路F 1 1を通じ、次で半導体回路A₁のMOS電界効果トランジスタQ₁₁のソース及びドレインを通じ、次で半導体回路A₁の信号出力線h及び半導体回路A₂の信号入力線fを通じて、半導体回路A₂のMOS電界効果トランジスタQ₂₂のゲート及びソース間に印加されんとし、または第2の入力側サージ保護回路F 2 1を通じ、次で半導体回路A₁のMOS電界効果トランジスタQ₂₁のソース及びドレインを通じ、次で半導体回路A₁の信号出力線h及び半導体回路A₂の信号入力線fを通じて、半導体回路A₂のMOS電界効果トランジスタQ₂₂のゲート及びソース間に印加されんとし、よって、半導体回路A₂のMOS電界効果トランジスタQ₂₂が、この場合のサージによって破壊されんとしても、この場合のサージが、信号入力端T 1と電源端V₂₂との間で、第1の入力側サージ保護回路F 1 1のダイオードDの逆方向電圧とサージ保護素子P₁₂としてのダイオードの順方向電圧との和の電圧にクランプされ、また、電源端V₁₁と電源端V₂₂との間がサージ保護素子P₁₂としてのダイオードの順方向電圧

12

にクランプされ、または、信号入力端T 1と電源端V₂₂との間で、第1の入力側サージ保護回路F 1 1のダイオードDの順方向電圧とサージ保護素子P₁₂としてのダイオードの逆方向電圧との和の電圧にクランプされ、また、電源端V₁₁と電源端V₂₂との間がサージ保護素子P₁₂としてのダイオードの逆方向電圧にクランプされるので、この場合のサージが、半導体回路A₂のMOS電界効果トランジスタQ₁₂のゲート及びソース間に印加されず、よって、半導体回路A₂のMOS電界効果トランジスタQ₁₂が、この場合のサージによって破壊されず、そのサージから保護される。

【0032】以上例示したところから明らかなように、図1に示す本発明による半導体集積回路装置の実施の形態によれば、半導体集積回路Bの信号入力端T 1と電源端V_{1a}及びV_{2a}のそれぞれとの間にサージが各別にまたは同時に印加された場合でも、また半導体集積回路Bの信号出力端T 2と電源端V_{1b}及びV_{2b}のそれぞれとの間にサージが各別にまたは同時に印加された場合でも、半導体集積回路Bが、この場合のサージから保護され、そして、この場合のサージからの保護が、一般的に述べれば、半導体回路の電源の負極性端（または正極性端）に接続される電源端と、その電源端が接続される半導体回路の電源とは異なる他の半導体回路の電源の正極性端（または負極性端）に接続される電源端すなわち前者の電源の負極性端（または正極性端）に接続される電源端と対をなしていない電源端との間に、サージ保護素子が接続されているので、確実に行われる。

【0033】

【発明の実施の形態2】 次に、図2を伴って本発明による半導体集積回路装置の実施の形態の第2の例を述べよう。図2において、図1との対応部分には同一符号を付し、詳細説明を省略する。

【0034】図2に示す本発明による半導体集積回路装置の実施の形態の第2の例は、図1で上述した本発明による半導体集積回路装置の実施の形態において、電源端V₁₁と電源端V₂₁との間；電源端V₁₂と電源端V₂₂との間；……；電源端V_{1n}と電源端V_{2n}との間に、サージ保護素子P₁₁；P₂₂；……；P_{nn}がそれぞれ接続されている、という事項を除いて、図1に示す本発明による半導体集積回路装置の実施の形態の場合と同様の構成を有する。

【0035】以上が、本発明による半導体集積回路装置の実施の形態の第2の例である。

【0036】このような本発明による半導体集積回路装置の実施の形態の第2の例によれば、上述した事項を除いて、図1に示す本発明による半導体集積回路装置の実施の形態と同様の構成を有するので、詳細説明は省略するが、図1に示す本発明による半導体集積回路装置の場合と同様に、電源端V₁₁及びV₂₁間、V₁₂及びV₂₂間、……V_{1n}及びV_{2n}間に、電源E₁、E₂……E_nを

13

それぞれ供給し、その状態で、半導体集積回路Bの信号入力端T1とそれに対をなす端（図示せず）との間に入力信号を供給すれば、半導体集積回路Bがこれに応動し、その応動による出力信号が、信号出力端T2とそれと対をなす端（図示せず）との間に出力される、という半導体集積回路装置としての機能が得られる。

【0037】また、図1に示す本発明による半導体集積回路装置の実施の形態の場合と同様に、半導体集積回路Bの信号入力端T1と電源端V₁₁及びV₂₁のそれぞれとの間に、サージが、各別にまたは同時に印加されても、また、信号出力端T2と電源端V_{1n}及びV_{2n}のそれぞれとの間に、サージが、各別にまたは同時に印加されても、半導体集積回路Bが、この場合のサージから保護される。

【0038】さらに、図1に示す本発明による半導体集積回路装置の場合と同様に、電源端V₁₁と電源端V₂₂、V₂₃……V_{2n}のそれぞれとの間；電源端V₁₂と電源端V₂₁、V₂₃……V_{2n}のそれぞれとの間；……；電源端V_{1n}と電源端V₂₁、V₂₂……V_{2(n-1)}のそれぞれとの間に、サージ保護素子P₁₂、P₁₃……P_{1n}；P₂₁、P₂₃……P_{2n}；……；P_{n1}、P_{n2}……P_{(n-1)n}がそれぞれ接続されている構成を有するので、図1に示す本発明による半導体集積回路装置の実施の形態の場合と同様に、サージが、半導体集積回路Bの信号入力端T1と、電源端V₁₁～V_{1n}中の電源端V₁₁を除く電源端V_{1a}（ただし、a=2、3……n）との間に印加されたり、信号入力端T1と電源端V₂₁～V_{2n}中の電源端V₂₁を除く電源端V_{2a}との間に印加されたりした場合であっても、そのサージが、半導体回路A_aを構成している半導体素子に印加されず、このため、半導体回路A_aが、この場合のサージによって破壊されるおそれを有さず、また、サージが、半導体集積回路Bの信号出力端T2と、電源端V₁₁～V_{1n}中の電源端V_{1n}を除く電源端V_{1b}（ただし、b=1、2……(n-1)）との間に印加されたり、信号出力端T2と電源端V₂₁～V_{2n}中の電源端V_{2n}を除く電源端V_{2b}との間に印加されたりした場合であっても、そのサージが、半導体回路A_bを構成している半導体素子に印加されず、このため、半導体回路A_bが、この場合のサージによって破壊されるおそれを有さず、よって、半導体集積回路Bが、この場合のサージによって破壊される、というおそれを有しない。

【0039】また、電源端V₁₁と電源端V₂₁との間；電源端V₁₂と電源端V₂₂との間；……；電源端V_{1n}と電源端V_{2n}との間にも、サージ保護素子P₁₁；P₂₂；……；P_{nn}がそれぞれ接続されているので、例示してのべれば、サージが、半導体集積回路Bの信号入力端T1と電源端V₁₁との間に印加された場合、この場合のサージが、上述したように第1の入力側サージ保護回路F11の両端電圧にクランプされるようになされている、という以外に、第2の入力側サージ保護回路F21の両端電

14

圧とサージ保護素子P₁₁の両端電圧との和の電圧にクランプされるようになされており、また、サージが、信号入力端T1と電源端V₂₁との間に印加された場合、この場合のサージが、上述したように第2の入力側サージ保護回路F21の両端電圧にクランプされるようになされている、という以外に、第1の入力側サージ保護回路F11の両端電圧とサージ保護素子P₁₁の両端電圧との和の電圧にクランプされるようになされており、さらに、サージが、信号入力端T1と電源端V₁₂との間に印加された場合、この場合のサージが、上述したように第2の入力側サージ保護回路F21の両端電圧とサージ保護素子P₂₁の両端電圧との和の電圧にクランプされるようになされている、という以外に、第1の入力側サージ保護回路F11の両端電圧とサージ保護素子P₁₂の両端電圧とサージ保護素子P₂₂の両端電圧との和の電圧にクランプされるようになされており、また、サージが、信号入力端T1と電源端V₂₂との間に印加された場合、この場合のサージが、上述したように第1の入力側サージ保護回路F11の両端電圧とサージ保護素子P₁₂の両端電圧との和の電圧にクランプされるようになされている、という以外に、第2の入力側サージ保護回路F21の両端電圧とサージ保護素子P₂₁の両端電圧とサージ保護素子P₂₂の両端電圧との和の電圧にクランプされるようになされているなどによって、サージが、半導体集積回路Bの信号入力端T1と電源端V₁₁及びV₂₁のそれぞれとの間に各別にまたは同時に印加された場合でも、また、信号出力端T2と電源端V₁₁及びV₂₁のそれぞれとの間に各別にまたは同時に印加された場合でも、半導体集積回路Bが、この場合のサージから、図1に示す本発明による半導体集積回路装置の実施の形態の場合に比しより確実に保護される。

【0040】

【発明の効果】 本願第1番目の発明による半導体集積回路装置によれば、半導体集積回路Bの信号入力端T1と電源端V_{1a}及びV_{2a}のそれぞれとの間にサージが各別にまたは同時に印加された場合でも、また、半導体集積回路Bの信号出力端T2と電源端V_{1b}及びV_{2b}のそれぞれとの間にサージが各別にまたは同時に印加された場合でも、半導体集積回路Bが、この場合のサージから保護され、そして、この場合のサージからの保護が、一般的に述べれば、半導体回路の電源の負極性端（または正極性端）に接続される電源端と、その電源端が接続される半導体回路の電源とは異なる他の半導体回路の電源の正極性端（または負極性端）に接続される電源端すなわち前者の電源の負極性端（または正極性端）に接続される電源端と対をなしていない電源端との間に、サージ保護素子が接続されているので、確実に行われる。

【0041】また、本願第2番目の発明による半導体集積回路装置によれば、半導体集積回路Bが、信号入力端T1と電源端V₁₁及びV₂₁のそれぞれとの間に各別にま

15

たは同時に印加されるサージ、及び信号出力端T2と電源端V_{1i}及びV_{2i}のそれぞれとの間に各別にまたは同時に印加されるサージから、本願第1番目の発明による半導体集積回路装置の場合に比しより確実に保護される。

【0042】なお、上述した本発明による半導体集積回路装置の実施の形態においては、サージ保護素子P₁₁、P₁₂……P_{1n}；P₂₁、P₂₂……P_{2n}；P_{n1}、P_{n2}……P_{nn}がダイオードDでなるものとして述べたが、ソース（またはドレイン）とゲートとを互いに接続して一端とし、ドレイン（またはソース）を他端としている、ダイオード機能を呈するMOS型電界効果トランジスタからなるものとするこ

【0043】また、上述においては、半導体集積回路Bが有する半導体回路A₁～A_nが、半導体素子としてMOS電界効果トランジスタを用いている場合で例示したが、半導体素子としてバイポーラトランジスタを用いている場合にも本発明を適用して、同様の作用・効果を得ることができることは明らかであろう。

【図面の簡単な説明】

【図1】 本発明による半導体集積回路装置の実施の形*

16

*態の第1の例を示す接続図である。

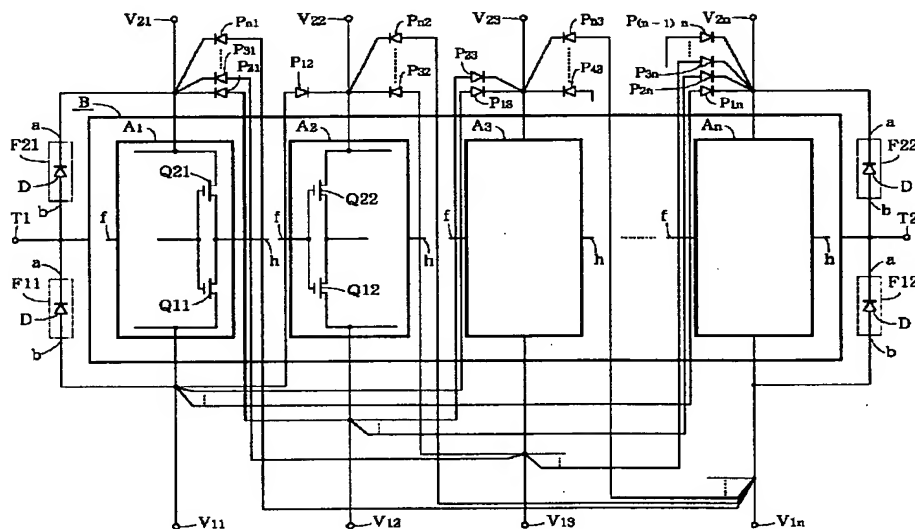
【図2】 本発明による半導体集積回路装置の実施の形態の第2の例を示す接続図である。

【図3】 従来の半導体集積回路装置を示す接続図である。

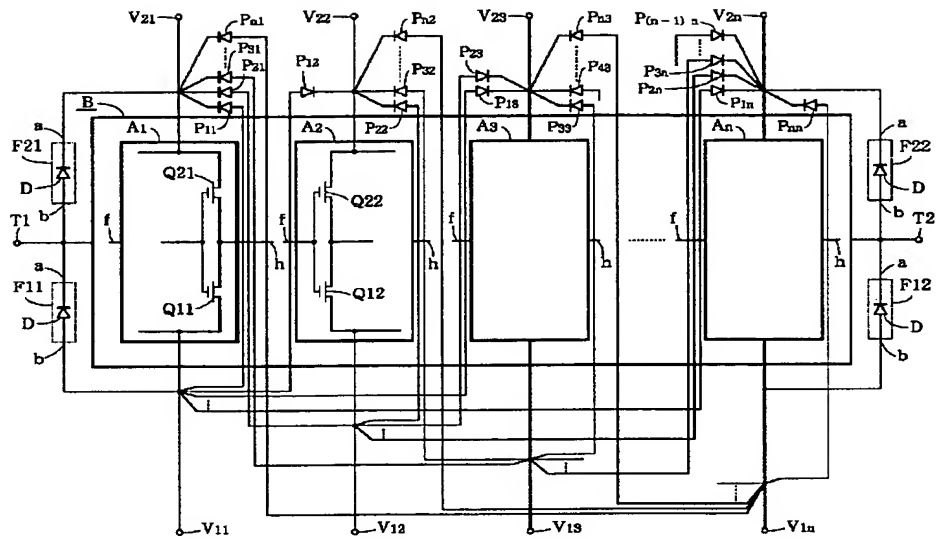
【符号の説明】

A ₁ 、A ₂ 、A ₃ ……A _n	半導体回路
B	半導体集積回路
D	ダイオード
T ₁	信号入力端
T ₂	信号出力端
P ₁₁ 、P ₁₂ 、P ₁₃ ……P _{1n}	サージ保護素子
P ₂₁ 、P ₂₂ 、P ₂₃ ……P _{2n}	サージ保護素子
P ₃₁ 、P ₃₂ 、P ₃₃ ……P _{3n}	サージ保護素子
P _{n1} 、P _{n2} 、P _{n3} ……P _{nn}	サージ保護素子
Q ₁₁ 、Q ₁₂ 、Q ₂₁ 、Q ₂₂	MOS電界効果トランジスタ
V ₁₁ 、V ₁₂ 、V ₁₃ ……V _{1n}	電源端
V ₂₁ 、V ₂₂ 、V ₂₃ ……V _{2n}	電源端
a	接続端
b	接続端
f	信号入力線
h	信号出力線

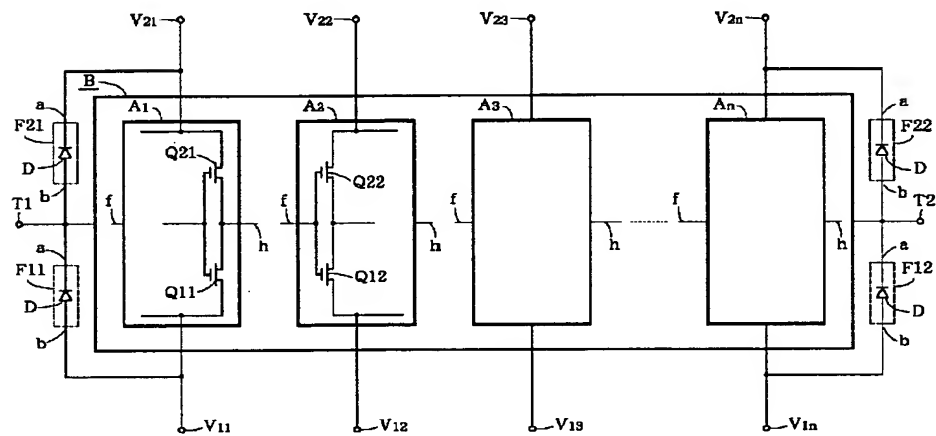
【図1】



【図2】



【図3】



フロントページの続き

(58) 調査した分野 (Int. Cl. 7, DB名)

H01L 27/04

H01L 21/822